


D

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 61228731 A

(43) Date of publication of application: 11.10.86

(51) Int. Cl H04B 3/23

(21) Application number: 60069339

(71) Applicant: NEC CORP

(22) Date of filing: 02.04.85

(72) Inventor: KANEMASA AKIRA  
SUGIYAMA AKIHIKO

## (54) ECHO ELIMINATING DEVICE

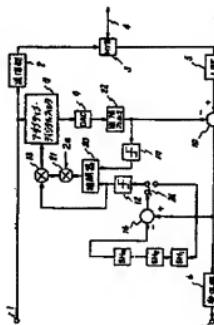
## (57) Abstract:

PURPOSE: To simplify control, to reduce the hardware scale and to decrease a converging time by using a cascade connection circuit comprising sample-and-hold circuits in place of a random signal generator and providing additionally an interpolation filter, two polarity detectors, a correlation device, a multiplier and a switch.

CONSTITUTION: In order that an adaptive digital filter 8 makes an adaptive operation, the condition is required that the probability where the polarity of a residual echo component in a difference signal (echo + reception signal - pseudo each) being an output of a subtractor 10 is obtained accurately by a polarity detector 12 is not zero. To satisfy the condition, the sample-and-hold circuits SH<sub>1</sub>-SH<sub>4</sub> and a subtractor 16 are provided. In this case, a switch 24 selects an output of the subtractor 10 at zero cross point of the reception signal and an output of the subtractor 16 at other points. The correlation of outputs between polarity detectors 12, 19 is calculated by a correlation device 20. The polarity of the difference between the present value of the difference signal and a value before T sec appears at the output of the former, and the polarity of the pseudo echo appears at the output of the latter, and the correlation device 20 outputs a value in response to

the quantity of the residual echo. Thus, the output is multiplied by 2<sup>a</sup> to form a step size, the polarity of the detector 12 is given thereto, the result is fed back to the filter 8 to reduce the converging time.

COPYRIGHT: (C)1986,JPO&amp;Japio



## ⑫ 公開特許公報 (A) 昭61-228731

⑬ Int.Cl.<sup>4</sup>  
H 04 B 3/23識別記号 庁内整理番号  
7323-5K

⑭ 公開 昭和61年(1986)10月11日

審査請求 未請求 発明の数 1 (全13頁)

⑮ 発明の名称 エコー除去装置

⑯ 特願 昭60-69339  
⑰ 出願 昭60(1985)4月2日

⑱ 発明者 金政晃 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発明者 杉山昭彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代理人 井理士内原晋

## 明細書

1. 発明の名称 エコー除去装置

## 2. 特許請求の範囲

2級×4級変換回路の4級側にて送信回路より受信回路へ漏れ込むエコーを除去する際に、送信データ及び誤差信号を受け適応的にエコーレブリカを生成するためのアダプティブ・フィルタと、該エコーと受信信号が混在した混在信号と該エコーレブリカとの差を得るための減算器と、該減算器の出力を標準化し保持するための複数接続された複数個のサンプル・ホールド回路と、該減算器の出力と該複数接続されたサンプル・ホールド回路の出力との差又は和を得るための演算器と、該減算器の出力と該演算器の出力とのいずれか一方を選択出力するためのスイッチと、該スイッチの出力の極性を判定するための第1の極性検出器と、該エコーレブリカの極性を判定するための第2の極性検出器と、該第1の極性検出器の出力と該第

2の極性検出器の出力との相関を得るための相關器と、該相關器の出力を定数倍するための直み付け回路とを少なくとも具備し、該直み付け回路の出力に該第1の極性検出器の出力を極性として付与して得た該誤差信号を該アダプティブ・フィルタに導進するよう構成したことを特徴とするエコー除去装置。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は、2級双方向ディジタル伝送を実現するためのエコー除去装置に関する。

## (従来技術の問題点)

ペア線を用いて2級双方向ディジタル伝送を実現するための公知の技術としてエコーキャンセラが知られている(アイイーイーイー・トランザクションズ・オン・アースティクス・スピーチ・アンド・シグナル・プロセッシング(IEEE TRANSACTIONS ON ACOUSTICS, SPEECH, AND SIGNAL PROCESSING) -

27卷6号、1979年、768~781ページ)。エコーキャンセラは、エコーのインパルス応答の長さ分のタップ係数を持つ適応型(アダプティブ)フィルタを用いて送出データ系列に対応した擬似エコー(エコーレプリカ)を生成することにより、2線/4線変換回路にて送信回路から受信回路に漏れ込むエコーを抑圧するように動作する。この時、適応フィルタの各タップ係数は、エコーと受信信号が混在した混在信号からエコーレプリカを差引いた差信号と送信データとの相関をとることにより逐次修正される。このような適応フィルタの係数修正即ち、エコーキャンセラの収束アルゴリズムについては前記参考文献に記載されており、その代表的なものとして、ストキャーステック・イタレーション・アルゴリズム(Stochastic iteration algorithm)とサイン・アルゴリズムが知られている。

2線双方向ディジタル伝送を実現するには、LSI化が必要であり、最近著しい技術進歩を上げているディジタル・デバイス技術を適用できる

-3-

としてバイフェーズ符号のような2値符号を使用した場合、受信信号の存在により、残留エコー(エコーとエコーレプリカとの差)レベルが受信信号レベルと同等程度になると前述の問題が発生する。そこで、この問題を解決するための従来技術について次に述べる。

第5図は、サイン・アルゴリズムを採用した場合のエコーキャンセラの従来例を示したものである。ここで第5図の回路は、2線伝送路4を介して対向で接続されているものとする。加入者ケーブルを対象とすれば、一方は局側に、他方は加入者側に設置される。ここでは説明を簡単にするために、ベースバンド伝送を仮定し、第5図を加入者側回路として説明する。

第5図において、入力端子1には2値データ系列が供給され送信部2及びアダプティブ・ディジタルフィルタ8に入力される。送信部2にて、2値データ系列は伝送路符号に変換された後、ハイブリッド・トランス(HYB)3を介して2線伝送路4に送出される。一方、送信部2にて発生され

方式が望ましい。この時、前述の適応型フィルタとしてディジタルフィルタを用いて構成しようとすると、アナログ/ディジタル(A/D)コンバータ及びディジタル/アナログ(D/A)コンバータが必要となる。このうちD/Aコンバータの所要ビット数はシステムの要求条件から定まり、例えば公衆通信網の加入者線への応用では、12ビット程度必要とされる。一方、A/Dコンバータの所要ビット数は、システム条件のみならず、前述のエコーキャンセラの収束アルゴリズムにも依存する。例えば、公衆通信網の加入者線に応用する場合、ストキャーステック・イタレーション・アルゴリズムを採用すると8ビット程度必要であるのに対し、サイン・アルゴリズムでは1ビットですむという特徴がある。ところが、サイン・アルゴリズムでは、前述の差信号の極性により、適応フィルタのタップ係数の修正を行なうため、差信号中に含まれている残留エコーの極性と差信号の極性とが一致しなくなると、適応動作が不可能になるという問題が生じる。例えば、伝送路符号

-4-

た送信信号の一部はエコー成分としてハイブリッド・トランス3の出力に現われローパス・フィルタ(LPF)5に供給される。また、第5図の回路に対向した相手側(今の説明では局側となる)から送出された受信信号は、2線伝送路4及びハイブリッド・トランス3を介してローパス・フィルタ5に供給される。従って、ローパス・フィルタ5の出力は、受信信号とエコーが混在した混在信号となる。なおローパス・フィルタ5の役割は、所望の信号帯域以外の周波数成分を抑圧することである。ローパス・フィルタ5の出力は減算器10に供給される。ここで、アダプティブ・ディジタルフィルタ8、D/Aコンバータ(DAC)9、減算器10、加算器11、極性判定回路12及び乗算器13から成る閉ループ回路は、ローパス・フィルタ5の出力である混在信号中のエコーを除去するように動作する。これは、アダプティブ・ディジタルフィルタ8がエコーレプリカを生成することにより実現される。そこでアダプティブ・ディジタルフィルタ8について詳細に説明する。

-5-

第6図は、第5図のアダプティブ・ディジタルフィルタ8の詳細ブロックを示したものである。第6図における入力信号105及び106はそれぞれ第5図の入力端子1から供給された2値データ系列(+1または-1の値をとる)及び乗算器103の出力に対応している。また、第6図における出力信号107は、第5図のアダプティブ・ディジタルフィルタ8の出力信号に対応している。2値データ系列105は遅延素子100<sub>1</sub>、乗算器101<sub>1</sub>、101<sub>2</sub>、…、101<sub>R-1</sub>及び係数発生器A<sub>1</sub>、A<sub>2</sub>、…、A<sub>R-1</sub>に供給される。T秒の遅延を与える遅延素子100<sub>1</sub>、100<sub>2</sub>、…、100<sub>R-1</sub>は、この順に接続されており、各々フリップ・フロップで実現することができる。ここでN及びRは正整数であり、RはNの約数とする。また2値データ系列105のデータレートは $T/R$ ビット/秒である。遅延素子100<sub>i</sub>(i=1, 2, …, N-R-1)の出力はそれぞれ、乗算器101<sub>j</sub>、101<sub>j+1</sub>、…、101<sub>j+R-1</sub>及び係数発生器A<sub>j</sub>、A<sub>j+1</sub>、…、A<sub>j+R-1</sub>に供給される。但し、j=1×Rである。乗算器

-7-

接点に入力される信号経路に存在する係数発生器に供給されている。次に係数発生回路について詳細に説明する。

第7図は第6図の係数発生器A<sub>i</sub>(i=0, 1, …, N-1)の詳細ブロック図を示したものである。第7図の入力信号200は、第6図における2値データ系列105又は遅延素子100<sub>1</sub>、100<sub>2</sub>、…、100<sub>N-R-1</sub>の出力信号に対応している。また、第7図の入力信号201は、第6図におけるスイッチ104の接点出力に対応している。さらに、第7図の出力信号203は、第6図における係数発生器A<sub>i</sub>の出力に対応している。第7図において入力信号200及び201は乗算器204に供給されその乗算結果は加算器205の一方の入力となる。加算器205の出力はT秒の遅延素子206を介して遅延されており、T秒毎に実行される係数の更新は、乗算器204に供給されている入力信号200及び201の相関値を1サンプル前の係数に加えることにより実現される。出力信号203が係数である。

-8-

101<sub>1</sub>、101<sub>k+R</sub>、…、101<sub>k+N-R</sub>(k=0, 1, …, R-1)では、それぞれ係数発生器A<sub>k</sub>、A<sub>k+R</sub>、…、A<sub>k+N-R</sub>の出力である各係数と入力データが掛けられた後、各乗算結果は、すべて加算器102<sub>k</sub>に入力され加算される。R個の加算器102<sub>0</sub>、102<sub>1</sub>、…、102<sub>R-1</sub>の出力はスイッチ103の入力接点となる。スイッチ103はT秒を同期とする多接点スイッチであり、R個の加算器102<sub>0</sub>、102<sub>1</sub>、…、102<sub>R-1</sub>の出力をこの順にT/R秒毎に選択して出力し、出力信号107となる。出力信号107はエコーレプリカであり、T/R秒毎にエコーレプリカが発生される。Rは補間定数(インターボレーション・ファクタ)と呼ばれ、所要の信号帯域内でエコーを除去するために通常Rは2以上の整数となる。一方、スイッチ104は、スイッチ103と出力が逆転している。即ちスイッチ104は、入力信号106をT/R秒毎にR個の接点に順番に分配する機能を果す。スイッチ104の各接点出力は、同期して動作するスイッチ105に対応した

-8-

以上第6図及び第7図を参照して説明した第5図のアダプティブ・ディジタルフィルタ8により発生されたエコーレプリカはD/Aコンバータ9に供給され、ディジタル信号からアナログ信号に変換されて減算器10の一方の入力となる。減算器10では、ローパスフィルタ5の出力信号である混在信号(=[エコー]+[受信信号])からエコーレプリカを差引いた差信号(=[残留エコー]+[受信信号])。但し[残留エコー]=[エコー]-[エコーレプリカ])が得られ、受信部6、加算器11及び振幅制御回路14に供給される。受信部6では、クロックの抽出、受信信号の復調などが行なわれ、識別されたデータは出力端子7に現われる。振幅制御回路14は、ランダム信号発生器15にて発生されたランダム信号の最大振幅値を、減算器10の出力である差信号の振幅又は電力を参照して制御するという機能を果す。振幅制御回路14にて制御された最大振幅値をもつランダム信号は加算器11の一方の入力となる。減算器10の出力である差信号と、振幅制御回路

-10-

14の出力である振幅制限を受けたランダム信号は加算器11にて加算された後、極性検出器12にてその極性のみ検出される。さらに、極性検出器12の出力は乗算器13にて $2^{\alpha}$  ( $\alpha$ は正数)倍された後、誤差信号としてアダブティブ・ディジタルフィルタ8に供給される。第6図の入力信号が誤差信号に対応している。ここで前述のアダブティブ・ディジタルフィルタ8が適応動作を行なうためには極性検出器12にて、残留エコーの極性を正しく検出することが必要となる。ところが減算器10の出力である差信号の中には受信信号が含まれているから、第5図において、減算器10の出力を直接極性検出器12に入力したと仮定すると、残留エコーレベルが受信信号レベルと同等程度になると、極性検出器12の出力では残留エコーの極性が正確に得られなくなってしまう。従って、アダブティブ・ディジタルフィルタ8の適応能力が失なわれることになる。そこで、従来は第5図に示したように加算器11、振幅制御回路14及びランダム信号発生器15を付加して、

-11-

## (発明の目的)

そこで、本発明の目的は制御が簡単でかつハードウェア規模の小さいエコー除去装置を提供することにある。

また、本発明の他の目的は収束時間の短いエコー除去装置を提供することにある。

## (発明の構成)

本発明は、2級／4級変換回路の4級側にて送信回路より受信回路へ漏れ込むエコーを除去する際に、送信データ及び誤差信号を受け適応的にエコーレプリカを生成するためのアダブティブ・フィルタと、該エコーと受信信号が混在した混在信号と該エコーレプリカとの差を得るための減算器と、該減算器の出力を標準化し保持するための継続接続された複数個のサンプル・ホールド回路と、該減算器の出力と該継続接続されたサンプル・ホールド回路の出力との差又は和を得るための演算器と、該減算器の出力と該演算器の出力とのいずれか一方を選択出力するためのスイッチと、該スイッチの出力の極性を判定するための第1の極性

減算器10の出力信号である差信号に受信信号レベルと同等程度のランダム信号を加えることにより、アダブティブ・ディジタルフィルタ8の適応動作を保証するという方法が用いられていた。この方法は、受信信号と同等レベルのランダム信号を差信号に加えることにより、受信信号をキャンセルする確率を発生させる。この確率は極性検出器12にて、残留エコーの極性が正しく得られる確率となるからアダブティブ・ディジタルフィルタ8の適応動作が保証されることになる。

ところが、第5図に示した従来の方法では、ランダム信号の発生が必要となると共に、所望のエコー抑圧度を得るためにには、差信号に加えるべきランダム信号の最大値を受信信号レベルと同程度に保つという複雑な制御を必要としハードウェア規模が大きくなるという欠点があった。また誤差信号の極性を用いてタップ係数の更新を行なっているため、サイン・アルゴリズムを採用した従来の方法では収束時間が長いという欠点があった。

-12-

検出器と、該エコーレプリカの極性を判定するための第2の極性検出器と、該第1の極性検出器の出力と該第2の極性検出器の出力との相関を得るためにの相関器と、該相関器の出力を定数倍するための重み付け回路とを少なくとも具備し、該重み付け回路の出力に該第1の極性検出器の出力を極性として付与して得た該誤差信号を該アダブティブ・フィルタに供給するように構成したことを特徴とする。

## (発明の原理)

本発明の第1のポイントは、アダブティブ・フィルタの適応能力に妨害を与える受信信号に関し、受信信号がキャンセルされる確率が零にならないようにした点である。2種信号系を含む伝送路符号の受信アイバーンの特性によれば、現在の値と $\tau$ ・T秒 ( $\tau$ は正整数)前の値がほぼ同一の値又は、逆極性で各々の絶対値がほぼ同一の値となる確率の最小値は零でないある正の値となる。従って差信号 ( $=$  [残留エコー] + [受信信号]) について、現在の値と $\tau$ ・T秒前の値の差又は和

-13-

-166-

-14-

をとることにより、受信信号成分は零でないある正の値の確率でキャンセルされることになる。それ故、その差又は和の極性を検出すれば、残留エコー、符号が零でないある正の値の確率で検出できるから、アダブティブ・フィルタの適応動作が保証される。この時、受信信号が零交差するサンプリング位相に注目すれば、受信信号は零であるから前述の操作により受信信号をキャンセルすることは不要となる。そこでサンプリング位相に依存して、前述の操作を実行するか否かを選択して出力し、その出力の極性をアダブティブ・フィルタに帰属することにより適応動作が保証される。

本発明の第2のポイントは、アダブティブ・フィルタのタップ係数の更新の際ステップ・サイズを適応的に変化させるという点にある。本発明では残留エコーが大きい場合には、擬似エコーの極性と残留エコーの極性とが強い相関をもつものに対し、残留エコーが小さい場合には、両者は相関をもたないという点に注目し、前記相関値に依存して、ステップ・サイズを適応的に変化させる。そ

-15-

般伝送路4へ送出される。ここに、ハイブリッド・トランジス3のインピーダンス不整合に起因して、送信部2の出力が受信回路へエコーとして漏れ込みローパス・フィルタ5に供給される。一方、受信信号も伝送路4及びハイブリッド・トランジス3を介してローパス・フィルタ5に供給される。ローパス・フィルタ5にて不要な高周波成分を抑止された混在信号(=[エコー]+[受信信号])は減算器10に供給される。そこで、アダブティブ・ディジタルフィルタ8にて生成された擬似エコー(エコーレプリカ)は、D/Aコンバータ9によりアナログ信号に変換された後、補間フィルタ22を介して減算器10に入力される。従って、減算器10の出力である差信号(=[混在信号]-[エコーレプリカ]=[エコー]+[受信信号]-[エコーレプリカ])の成分のうち、残留エコー(=[エコー]-[エコーレプリカ])が受信信号に比べて十分小さくなれば、受信信号は受信部6にて正確に復調され、出力端子7には受信された2値データ系列が現われる。なお、補間フィ

れ故、受取時間は従来に比べて大幅に短縮することが可能となる。

#### (実施例)

次に図面を参照して本発明について詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。同図において、第5図と同一の参照番号を付与された機能ブロックは第5図と同一の機能を有するものとする。第1図と第5図の相異点は、減算器16、サンプルホールド回路SH<sub>1</sub>、SH<sub>2</sub>、SH<sub>3</sub>の級連接続から成る回路と、補間フィルタ22の有無と、極性検出器19、相関器20及び乘算器21から成る回路と、スイッチ24の有無の4点であり、その他の構成は第5図と全く同一である。これらの相異点について説明する前に全体の構成について簡単に述べる。入力端子1に供給された2値データ系列は、送信部2及びアダブティブ・ディジタルフィルタ8に供給される。送信部2にて2値データ系列は伝送路符号に変換された後、ハイブリッド・トランジス3を介して2

-16-

フィルタ22は、D/Aコンバータ9の出力に含まれている高周波成分を抑止する機能を果すものである。ここで、アダブティブ・ディジタルフィルタ8、D/Aコンバータ9、補間フィルタ22、減算器10及び16、スイッチ24、極性検出器12及び乗算器13から成る閉ループ回路はアダブティブ・ディジタルフィルタ8の適応動作を実現するものである。アダブティブ・ディジタルフィルタ8の構成については、第5図の従来例で説明したものと同様に、第6図及び第7図の構成と同一で良い。極性検出器12の出力は乗算器13にて、乗算器21の出力と掛けられ誤差信号としてアダブティブ・ディジタルフィルタ8に供給される。次に、減算器10の出力である差信号の極性と差信号中の残留エコー成分の極性との関係について詳細に説明するが、その前に伝送路符号について述べる。

第2図は、2符号位の代表例を示したものであり同図(a)はバイフェーズ符号を、(b)はM S K (ミニマム・シフト・キーイング)符号のパルス波形

-17-

-167-

-18-

をそれぞれ示す。第2図(a)に示したように、バイフェーズ符号では“0”及び“1”的データに対し極性の反転したバルス波形を割当てる。両者のバルスは共に、1ビット幅T秒の中心で極性が反転しており、1ビット内で正負がバランスしているといいう特徴をもっている。これに対し、第2図(b)に示したようにMSK符号では4種類のバルス波形を用意する。即ち、“0”及び“1”的データに対しそれぞれ極性の反転した④モードと④モードの2種類のバルス波形を用意する。これら2種類のモード遷移は第2図(b)の太い矢印で示されており、現時点のモードは1ビット前のモードにより決定される。このMSK符号は、ビットの境界にて必ず極性が反転するといいう特徴をもっている。なおMSK符号では“1”に対しては、1ビット内で正負のバランスが取れているが、“0”に対しては正負がバランスしていない。しかしながら、第2図(b)のモード遷移を示す太い矢印の方向から明らかのように、連続するビット系列内で“0”が偶数個存在すれば正負のバランスは取れず、DC成

-19-

り明らかのように、どのような位相をとっても正／負の逆転は別にして表1に示す以外のパターンはあり得ないことがわかる。

第(i-1)ビット	第iビット	第(i+1)ビット	A <sub>0</sub> A <sub>1</sub> A <sub>2</sub> A <sub>3</sub>			
			モード	データ	モード	データ
0	0	0	⊕	0	0	0
0	0	1	⊖	负	负	负
0	1	0	⊕	正	正	正
0	1	1	⊖	正	正	0
1	0	0	⊕	负	负	0
1	0	1	⊖	负	负	0
1	1	0	⊕	正	正	正
1	1	1	⊖	0	0	0

表1 バイフェーズ符号の場合のA<sub>m</sub>の値

従って、現在のサンプル値からT秒前のサンプル値を差引いた値が零となる確率の最小値は1/4となる。次に第3図(b)のMSK符号の受信アイバターンについて考えると、第2図(b)のモード遷移を参照してA<sub>m</sub>は表2のようになり得られる。

-21-

分はほとんど無視できると言える。第2図に示した伝送路符号は、第1図の送信部2にて出力されることになる。

第3図は、第2図に示した伝送路符号を採用した時の受信アイバターン例を示す。第3図(a)及び(b)は第2図に対応してそれぞれバイフェーズ符号及びMSK符号の受信アイバターンである。同図に示すように、受信アイバターンは高域成分がカットされ丸みを帯びたものとなる。今、第3図(a)に注目する。T秒離れた4組のサンプル点の組合せをそれぞれ(t<sub>1</sub>, t<sub>1'</sub>), (t<sub>2</sub>, t<sub>2'</sub>), (t<sub>3</sub>, t<sub>3'</sub>)及び(t<sub>4</sub>, t<sub>4'</sub>)と仮定する。この時、t=t<sub>m</sub> (m=0, 1, 2, 3)のサンプル値からt=t<sub>m</sub>のサンプル値を差引いた値をA<sub>m</sub>とすれば、A<sub>m</sub>は表1のようになり得ることがわかる。

“0”と“1”的出現確率は等しく1/2であると仮定すると、A<sub>0</sub>=0, A<sub>1</sub>=0, A<sub>2</sub>=0及びA<sub>3</sub>=0となる確率は表1よりそれぞれ1/4, 1/4, 1/2及び1となる。この例では、第3図(a)に示すT秒離れた4組のサンプル点について考えたが、同図

-20-

第iビット	第(i+1)ビット	A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>
モード	データ	モード	データ		
⊕	0	⊖	0	0	负
⊖	0	⊕	0	0	正
⊕	0	⊖	1	0	负
⊖	0	⊕	1	0	正
⊕	1	⊕	0	0	正
⊖	1	⊖	0	0	负
⊕	1	⊖	1	0	0
⊖	1	⊕	1	0	0

表2 MSK符号の場合のA<sub>m</sub>の値

“0”と“1”的出現確率は等しく各々1/2であると仮定すると、A<sub>0</sub>=0, A<sub>1</sub>=0, A<sub>2</sub>=0及びA<sub>3</sub>=0となる確率は、表2よりそれぞれ1, 1/2, 1/4及び1/4となる。この例では第3図(b)に示すT秒離れた4組のサンプル点について考えたが、同図より明らかのように、どのような位相をとっても正／負の逆転は別にして、表1に示す以外のパターンはあり得ないことがわかる。従って、MSK

-22-

符号の場合にも、現在のサンプル値から $T$ 秒前のサンプル値を差引いた値が零となる確率の最小値は $1/4$ となる。以上、バイフェーズ符号及びMSK符号を例に挙げて述べたように、現在のサンプル値から $T$ 秒前のサンプル値を差引いた値が零となる確率の最小値は共に $1/4$ となることがわかる。これらの符号以外の伝送路符号についても同様に考えると、前記確率の最小値は零でない値をもつことは明らかである。さらに、今まででは現在のサンプル値から $T$ 秒（データレートは $1/T$ ビット/秒とする。）前のサンプル値を差引いた値を対象としてきたが、現在のサンプル値から $1 \cdot T$ 秒（ $1$ は正整数）前のサンプル値を差引いた値が零となる確率の最小値も同様に $1/4$ となることがわかる。次に、この確率がエコーチャンセラの適応動作の中でどのような意味を持つかについて、第1図を参照して説明する。

第1図に示す第1の発明の一実施例において、  
参照数字16は減算器、参照英字SH<sub>1</sub>、SH<sub>2</sub>、  
…、SH<sub>8</sub>はサンプル・ホールド回路、参照数字

-23-

きると仮定している。 $SH_1$ に供給された減算器 1 0 の出力である差信号は、R 個のサンプル・ホールド回路  $SH_1, SH_2, \dots, SH_R$  の継続接続の出力、すなわち  $SH_R$  の出力となるまで  $TC$  秒遅延され、 $T/R$  秒毎に減算器 1 6 に供給される。すなわち、減算器 1 6 の 1 つの入力は、位相が  $T/R$  秒ずつ異なる  $T$  秒遅れの該差信号となる。以上の動作により、減算器 1 6 の出力には現在のサンプル値から  $T$  秒前のサンプル値を差引いた差のサンプル値が  $T/R$  秒毎に現われる。表 1 及び表 2 の説明で述べたように、減算器 1 0 の出力である差信号の中の受信信号成分は、減算器 1 6 の出力では、確率  $1/4$  以上で受信信号が零になることは明らかである。一方、減算器 1 6 の出力に含まれている残留エコー成分について考えると、現在の残留エコーの値から  $T$  秒前の残留エコーの値を差引いた値が残留エコー成分として減算器 1 6 から出力される。現在の残留エコーの値と  $T$  秒前の残留エコーの値とは無相関であるから、 $T$  秒前の残留エコーの値はランダム雑音とみなすことができる。 $T$

二五

—169—

24はスイッチ、参照数字12は極性検出器である。ここで、アダプティブ・ディジタルフィルタ8が適応動作を行なうためには、極性検出器12にて、減算器10の出力である差信号(=[エコー-]+[受信信号]-[エコーレプリカ])中に含まれる残差エコー(=[エコー]-[エコーレプリカ])成分の極性が正確に得られる確率が零でないという条件が必要であることは前に述べた。第1図において、サンプル・ホールド回路SH<sub>1</sub>、SH<sub>2</sub>、…、SH<sub>R</sub>及び減算器16は、この条件を満足する目的で付加されたものであり、減算器16の出力には、現在のサンプル値からT秒前のサンプル値を差引いた差のサンプル値がT/R秒毎に現われるよう動作する。Rは前述の補間定数を示す正の整数である。減算器10の出力である差信号を入力とするR個のサンプル・ホールド回路SH<sub>1</sub>、SH<sub>2</sub>、…、SH<sub>R</sub>の巻線接続において、各サンプル・ホールドのサンプル位相は等しく、各T/R秒毎に入力信号を標本化した後その値を保持する。ここでは、標本化に要する時間は無視で

-24-

秒前の残畠エコーの値の振幅分布は正負対称であり、振幅  $d$  が  $|d| \leq 1$  (但し  $0 \neq 1$ ) となる確率は、零でなくある正の値をとる。従って、減算器 1-6 の出力信号の極性が残畠エコーの現在値に一致する確率は零でないある正の値をとることがわかる。

次に、減算器 1 6 の出力及び減算器 1 0 の出力は共にスイッチ 2 4 の入力接点に供給される。さらにスイッチ 2 4 の出力は極性検出器 1 2 に供給されている。ここで、極性検出器 1 2 のサンプリング周期を  $T/R$  秒とする。但し  $R$  は補間定数であり正整数とする。今  $R = 4$  と仮定すると、第 3 図の受信アイバターン例を参照すれば明らかかなように、サンプリング位相を適当に選択することにより受信信号の零交差点とサンプリング点が一致する場合が  $T$  秒内に 2 回存在することがわかる。受信信号が零交差するサンプリング点では、減算器 1 0 の出力である差信号の中の受信信号成分は零となるから、差信号の極性と残差エコーの極性は無条件に一致することになる。そこで、極性検出器 1 2 のサンプリング位相に応じてスイッチ 2 4

-26-

を動作させる、即ち受信信号が零交差するサンプリング点ではスイッチ24は減算器10の出力を選択して出力し、その他のサンプリング点ではスイッチ24は減算器16の出力を選択して出力するよう構成することにより、アダプティブ・ディジタルフィルタ8の適応動作が保証されることになる。以上の説明ではR=4と仮定したが2以上の任意の整数でも良いことは明らかである。また、アダプティブ・ディジタルフィルタ8、D/Aコンバータ9、スイッチ24、極性検出器12及び乗算器13の動作のサンプリング位相は、受信信号の位相に合致させる必要があることは言うまでもない。なお第1図では、遅延素子17はT秒の遅延を与えるものとして説明してきたが、表1及び表2の説明の中で述べたように、遅延量として1・T秒(1は正整数)としても同様の効果が得られる。なお、第1図において、サンプル・ホールド回路8H<sub>1</sub>, 8H<sub>2</sub>, ..., 8H<sub>8</sub>の標本化に要する時間は無視できると仮定していたが、これが成立しない場合にはサンプル・ホールド回路の個数

-27-

は、 $\lceil [RT// (T-R)] + 1 \rceil$ 個以上用意すれば良い。ここに、 $\lceil \cdot \rceil$ はサンプル・ホールド回路が標本化に要する時間、 $\lceil x \rceil$ は $x$ を越えない最大の整数をあらわす。各サンプル・ホールド回路のサンプル周期は常に $T/R$ で等しい。いま、隣り合ったサンプル・ホールド回路の位相は互いに $(T/R-1)$ だけずれている。このとき、ひとつのサンプル・ホールド回路では標本化に要する時間 $\lceil \cdot \rceil$ を差し引いた $(T/R-1)$ 秒だけサンプル値がホールドされる。例えば、 $R=4$ 、 $\lceil \cdot \rceil = T/32$ のとき、サンプル・ホールド回路の個数は5個以上用意すればよく、5個のサンプル・ホールド回路を直列接続した場合、全体のホールド時間は $35T/32$ となる。これは5個のサンプル・ホールド回路の直列接続で実現できる最大のホールド時間である。全体のホールド時間をTにするには、隣り合ったサンプル・ホールド回路のサンプル位相を順に $T/5$ だけずらせばよい。また、4つのサンプル・ホールド回路のサンプル位相を順に $7T/32$ ずらし、残りの1つを前段のサンプル・ホールドのサンブ

-28-

ル位相に対して $4T/32$ ずらしても全体のホールド時間をTにすることができる。このように、隣り合ったサンプル・ホールド回路のサンプル位相を適当にずらすことによって、全体のホールド時間をTにすることができる。同様にして、 $T/R$ より小さい、いかなる $\lceil \cdot \rceil$ に対しても、十分な数のサンプル・ホールド回路を直列に接続してサンプル位相を適当に選べば、任意のホールド時間を得ることができる。従って、一般に標本化に要する時間が無視できない場合でもTの整数倍の任意のホールド時間を得ることができる。

次に、第1図の相関器20の動作について説明する。極性検出器12の出力と極性検出器19の出力との相関値に相関器20にて計算され乗算器21により $2^{\alpha}$ ( $\alpha$ は定数)倍されて乗算器13へ供給される。ここで、極性検出器12の出力には、減算器10の出力である差信号( $= [\text{残留エコー}] + [\text{受信信号}]$ )について、現在の値からT秒前の値を差引いた値の極性が現われる。一方極性検出器19の出力には、エコレーブリカの極

性が現われる。そこで、残留エコーが大きい場合には残留エコーの極性と、エコレーブリカの極性が相間をもつてに対し、残留エコーが小さい場合には両者は相間をもたないという点に注目すれば、相関器20の出力は、残留エコーが大きい場合には大きな値を小さな値となる。従って相関器20の出力を乗算器21にて $2^{\alpha}$ 倍のスケーリングを施してステップ・サイズとして用い、このステップ・サイズに極性検出器12の出力の極性を付与してアダプティブ・ディジタルフィルタ8に帰還することにより、収束時間を大幅に短縮することができる。

第4図は、本発明の他の実施例を示すブロック図である。同図において第1図と同一の参照番号を付与された機能ブロックは第1図と同一の機能をもつものとする。第4図と第1図の相異点は、第1図の減算器16が第4図では加算器18に置換えられていることであり、その他の部分は全く同一である。従って、第4図では減算器10の出力である差信号に関し、現在の差信号の値とT秒

-29-

前の差信号の値との和が加算器 1 8 の出力に現われ、この和の値の極性を極性検出器 1 2 で検出することとなる。そこで、伝送路符号の例を示した第 2 図及びその受信アイバーン例を示した第 3 図を用いて、表 2 及び表 3 に応する表を求めてみる。まず、第 3 図(a)に注目し、T 秒離れた 4 組のサンプル点の組合せをそれぞれ  $(t_1, t_1')$ 、 $(t_2, t_2')$ 、 $(t_3, t_3')$  及び  $(t_4, t_4')$  と仮定する。この時、 $t = t_m' (m=0, 1, 2, 3)$  のサンプル値と、 $t = t_m$  のサンプル値の和を  $B_m$  とすれば、 $B_m$  は表 3 のように与えられることがわかる。同様に第 3 図(b)に対して、表 4 が得られる。

第(1-1)ビット	第 1 ビット	第(1+1)ビット	$B_0$	$B_1$	$B_2$	$B_3$
0	0	0	0	正	正	0
0	0	1	負	負	0	0
0	1	0	0	0	0	0
0	1	1	負	負	0	0
1	0	0	正	正	0	0
1	0	1	0	0	0	0
1	1	0	正	正	0	0
1	1	1	0	負	負	0

表 3. バイフェーズ符号の場合の  $B_m$  の値

-31-

が、これら以外の伝送路符号についても同様に考えれば、現在のサンプル値と T 秒前のサンプル値との和が零となる確率の最小値は零でない値をもつことは明らかである。さらに、現在のサンプル値と  $1 \cdot T$  秒 ( $1$  は正整数) 前のサンプル値との和が零となる確率の最小値も同様に零でない値をもつことは言うまでもない。

そこで本発明の他の実施例である第 4 図の説明に戻ると、減算器 1 0 の出力である差信号は受信部 6 に供給されると共に、継続接続された R 個のサンプル・ホールド回路  $SH_1, SH_2, \dots, SH_R$  の  $SH_i$  にも供給される。第 1 図の説明で述べたように  $SH_R$  の出力には、 $T/R$  秒毎に減算器 1 0 の出力を T 秒遅延させたサンプル値が現われる。従って、加算器 1 8 の出力には現在の値と T 秒前のサンプル値との和が現れることになる。表 3 及び表 4 より、減算器 1 0 の出力である差信号の中の受信信号成分は、加算器 1 8 の出力では確率  $1/4$  以上で受信信号が零になることは明らかである。一方、加算器 1 8 の出力に含まれている残留エコ

第 1 ビット モード データ	第(1+1)ビット モード データ	$B_0$	$B_1$	$B_2$	$B_3$
⊕ 0	⊕ 0	0	0	0	0
⊕ 0	⊕ 0	0	0	0	0
⊕ 0	⊕ 1	0	0	正	正
⊕ 0	⊕ 1	0	0	負	負
⊕ 1	⊕ 0	0	正	正	正
⊕ 1	⊕ 0	0	負	正	負
⊕ 1	⊕ 1	0	正	正	0
⊕ 1	⊕ 1	0	負	負	0

表 4. MSK 符号の場合の  $B_m$  の値

"0" と "1" の出現確率は等しく各々  $1/2$  であると仮定すると、 $B_0 = 0, B_1 = 0, B_2 = 0$  及び  $B_3 = 0$  となる確率は、表 3 に示すバイフェーズ符号の場合にはそれぞれ  $1/2, 1/4, 1/2$  及び  $1$  となり、表 4 に示す MSK 符号の場合にはそれぞれ  $1, 1/2, 1/4, 1/2$  となる。従って現在のサンプル値と T 秒前のサンプル値との和が零となる確率の最小値は  $1/4$  であり、このことは任意のサンプリング位相で成り立つ。また、表 3 及び表 4 にはそれぞれバイフェーズ符号及び MSK 符号の場合を示した

-32-

一成分について考えると、現在の残留エコーの値と T 秒前の残留エコーの和が残留エコー成分として加算器 1 8 から出力される。現在の残留エコーの値と T 秒前の残留エコーの値とは無相関であるから、T 秒前の残留エコーの値は、ランダム雜音とみなすことができる。T 秒前の残留エコーの値の振幅分布は正負対称であり、振幅  $d$  が  $1 \pm 1/4$  (但し  $0 \leq d \leq 1$ ) となる確率は零ではなくある正の値をとる。従って加算器 1 8 の出力信号を入力とする極性検出器 1 2 にて、現在の残留エコーの極性が正確に検出される確率は零でないある正の値をとることがわかる。それ故、アダブティブ・ディジタルフィルタ 8 の適応動作が保証されることになる。なお第 4 図において、サンプル・ホールド回路  $SH_1, SH_2, \dots, SH_R$  の標本化に要する時間は無視できると仮定していたが、これが成立しない場合には、第 1 図を用いて説明した実施例と同様の対策を施せばよい。また、相間器 2 0 の動作については、第 1 図と同様であるが、極性検出器 1 2 に供給されている信号が第 4 図では減算器

-33-

1.0の出力である差信号について現在の値とT秒前の値との和となっている点が異っている。差信号の残留エコー成分について考えれば第1図と同様に相間器2.0の出力は残留エコーの大きさに応じて変化するから、収束時間を大幅に短縮することが可能となることは明らかである。

以上、本発明について詳細に説明したが、2線伝送路の経路損失を補償するための経路等化器は、第1図及び第4図において、受信部6の中に含めて考えても良いし、ローパスフィルタ5と減算器1.0の間に挿入しても良い。またMSK符号を採用した場合“0”と“1”に対するパルス波形が異なることと、各々 $\oplus$ モードと $\ominus$ モードを有するという2つの理由により、アダブティブ・ディジタルフィルタ8の構成はハイフェーズ符号の場合と若干異なる。即ち、“0”及び“1”的パルス波形が異なることに対応させて、タップ係数を2種類用意し個別に更新させる必要があること、また、送信部2よりモード信号を受けタップ係数を区別することが必要となる。また、補間フィルタ2.2はエ

-35-

さいエコー除去装置を提供することができる。さらに本発明によれば、残留エコーの大きさに応じてステップ・サイズを適応的に変化させることができるから、大幅に収束時間の短縮が可能となる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図(a), (b)は伝送路符号のパルス波形の例を示す図、第3図(a), (b)は受信アイバターンの例を示す図、第4図は本発明の他の実施例を示すブロック図、第5図は従来例を示すブロック図、第6図はアダブティブ・ディジタルフィルタの構成例を示す図、第7図は係数発生器の構成例を示す図である。

図において、

2は送信部、3はハイブリッドトランジistor、5はローパス・フィルタ、6は受信部、7は出力端子、8はアダブティブ・ディジタルフィルタ、9はD/Aコンバータ、1.0及び1.6は減算器、1.1及び1.8は加算器、1.2及び1.9は極性検出器、

コレブリカが発生されるサンプリング時点のみでエコーを除去するという目的の場合には不要である。

#### (発明の効果)

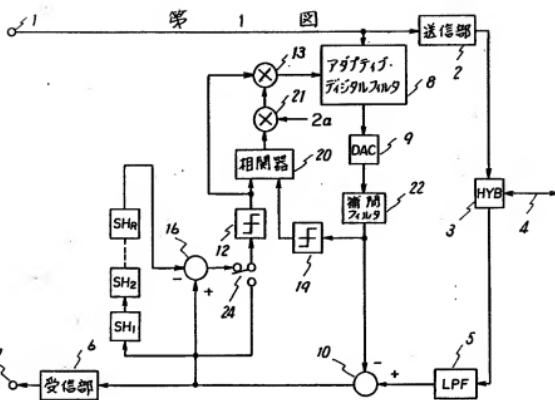
以上詳細に述べたように本発明によれば、差信号(=[残留エコー]+[受信信号])について現在の値と $1 \cdot T$ 秒(但し1は正整数、Tはデータレートの逆数である。)前の値との差又は和を求めることにより、受信信号成分は零でないある正の値の確率でキャンセルされる。従ってサンプリング時点が受信信号の零交差点に一致する場合には差信号の極性を、一致しない場合にはその差又は和の極性を検出することにより、アダブティブ・ディジタルフィルタの適応動作が保証される。また、本発明によればT秒の遅延を与える複数個のサンプル・ホールド回路から成るブロックと、演算器(減算又は加算)と、差信号と該演算器の出力のいずれか一方を選択出力するスイッチとを組合せることにより、上述の適応動作を保証できるから、制御が簡単でかつハードウェア規模の小

-36-

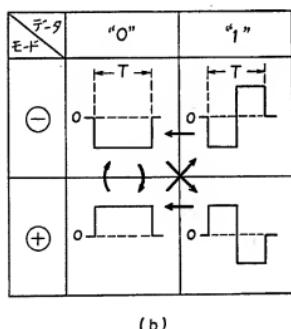
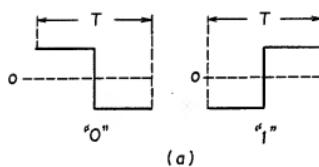
1.3及び2.1は乗算器、1.4は振幅制御回路、1.5はランダム信号発生器、2.4はスイッチ、2.0は相間器、2.2は補間フィルタ、SH<sub>1</sub>, SH<sub>2</sub>, ..., SH<sub>N</sub>はサンプル・ホールド回路、100<sub>1</sub>, 100<sub>2</sub>, ..., 100<sub>N-1</sub>は遅延素子、101<sub>1</sub>, 101<sub>2</sub>, ..., 101<sub>N-1</sub>は乗算器、102<sub>1</sub>, 102<sub>2</sub>, ..., 102<sub>N-1</sub>は加算器、1.03及び1.04は多接点スイッチ、2.04は乗算器、2.05は加算器、2.06は遅延素子、をそれぞれ示す。

代理人 井理士 内原晋  
特許出願

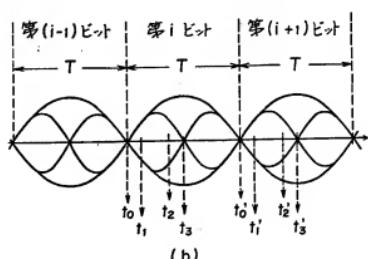
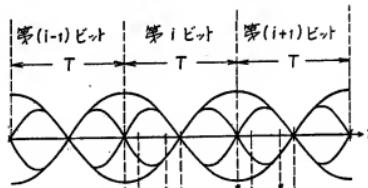
-37-



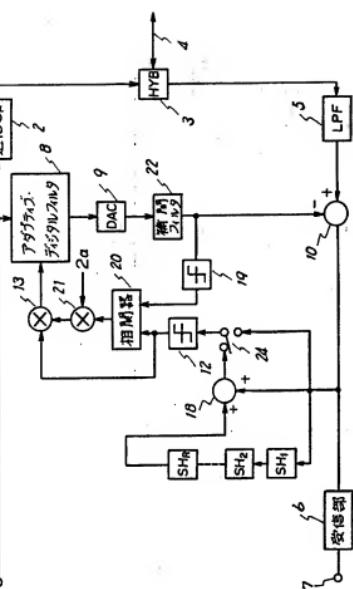
第2図



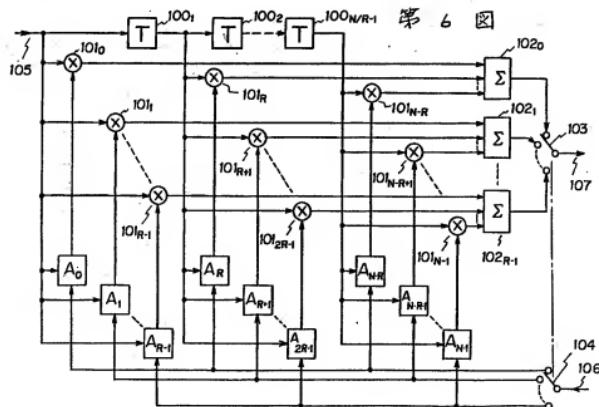
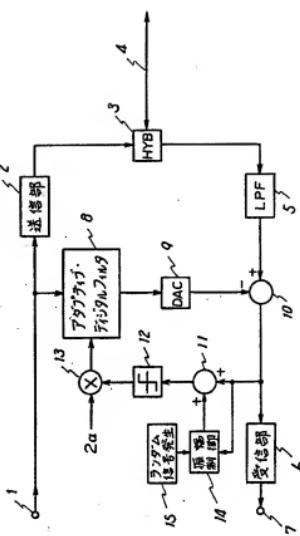
第3図



第4図



第5図



第 7 図

